

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 6 日
Date of Application:

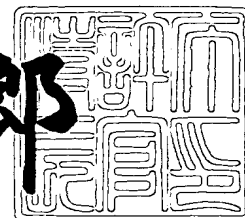
出 願 番 号 特 願 2 0 0 2 - 3 0 1 3 7 3
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 0 1 3 7 3]

出 願 人 ローム株式会社
Applicant(s):

2 0 0 3 年 7 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 6 0 0 4

【書類名】 特許願

【整理番号】 02-00303

【提出日】 平成14年10月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/343

【発明の名称】 バッファ回路及びドライバ I C

【請求項の数】 5

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 井ノ口 普之

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネ
ルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【選任した代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミ
ネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】

【予納台帳番号】 016241

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バッファ回路及びドライバ IC

【特許請求の範囲】

【請求項 1】 非反転入力端子に入力電圧が入力され、出力端子に出力される出力電圧を反転入力端子に帰還入力するように構成された演算増幅手段と、

前記入力電圧と前記出力電圧とが差動入力として入力され、その 2 入力に所定のオフセット電圧を超える差がある時に、前記演算増幅手段からの出力電流より大きな出力電流を前記出力端子に出力する出力加速手段とを、備えることを特徴とするバッファ回路。

【請求項 2】 前記出力加速手段は、前記所定のオフセット電圧を有する差動増幅部と、電源電位と前記出力端子との間に接続され、前記差動増幅部の出力に応じてオンあるいはオフされるスイッチ部とを有することを特徴とする、請求項 1 記載のバッファ回路。

【請求項 3】 前記差動増幅部は、前記入力電圧が前記出力電圧より第 1 オフセット電圧だけ高いときに第 1 出力を発生する第 1 差動増幅回路と、前記出力電圧が前記入力電圧より第 2 オフセット電圧だけ高いときに第 2 出力を発生する第 2 差動増幅回路を有し、

前記スイッチ部は、第 1 電源電位と前記出力端子との間に接続され、前記第 1 出力に応じてオンあるいはオフされる第 1 スイッチ回路と、前記出力端子と第 2 電源電位との間に接続され、前記第 2 出力に応じてオンあるいはオフされる第 2 スイッチ回路を有することを特徴とする、請求項 2 記載のバッファ回路。

【請求項 4】 前記演算増幅手段は、第 1 電源電位から前記出力端子への電流が所定電流値に制限され、前記出力端子から第 2 電源電位への電流はスイッチ回路を介して流されるように形成されており、

前記出力加速手段は、前記所定のオフセット電圧を有する差動増幅部と、前記第 1 電源電位と前記出力端子との間に接続され、前記差動増幅部の出力に応じてオンあるいはオフされるスイッチ部とを有することを特徴とする、請求項 2 記載のバッファ回路。

【請求項 5】 請求項 1～4 に記載されるバッファ回路を複数個含んでいる

ことを特徴とする、ドライバIC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低消費電流型オペアンプを用いたバッファ回路、及びそのバッファ回路を多数備えているドライバICに関する。

【0002】

【従来の技術】

液晶表示装置（LCD）や有機EL表示装置等のソースドライブ用のドライバICには、オペアンプを用いたバッファ回路が使用されることが多い。このバッファ回路を用いたドライバICでは、表示パネルサイズの拡大に伴い、大容量駆動能力、低消費電力化、高速出力応答が求められている。また、その出力電圧は、グランド電位から電源電位付近まで広範囲に制御できることが必要である。

【0003】

図6は、従来のレール・ツー・レール（rail-to-rail）型のオペアンプ500の構成を示す図である（非特許文献1参照）。図7は、図6のオペアンプ500の出力電圧 V_{out} をその反転入力端子（-）に直接接続して、バッファ回路を構成して、負荷コンデンサ C_o を駆動するようにしたものである。また、図8（a）、（b）は、図7のバッファ回路における入力電圧・出力電圧の時間特性を示す図である。

【0004】

図6において、501～510はMOSFETであり、ゲートに○印が付されているものはP型MOSFET（以下、PMOS）であり、それ以外がN型MOSFET（以下、NMOS）である。511～514は、電流 I_{ss1} ～ I_{ss4} を流す定電流源である。また、 V_{b51} ～ V_{b53} は、バイアス電圧である。

【0005】

この従来のバッファ回路においては、PMOSとNMOSの両方のトランジスタを入力端に用いている。入力電圧 V_{inp} がきわめて低いときは、NMOS 501、502はカットオフし、電流 I_{ss2} も零になる。したがって、入力トラ

ンジスタは、PMOS 509, 510のみで動作する。また、入力電圧 $V_{in p}$ がきわめて高いときは、PMOS 509, 510はカットオフし、電流 $I_{ss 1}$ も零になる。したがって、入力トランジスタは、NMOS 501, 502のみで動作する。これ以外の領域の入力電圧 $V_{in p}$ の時には、PMOS 509, 510、NMOS 501, 502の両方の入力トランジスタが動作する。このように、従来のバッファ回路により、グランド電位 V_{ss} から電源電位 V_{dd} までのフルレンジ（レール・ツー・レール）の入力電圧 $V_{in p}$ で駆動することができる。

【0006】

【非特許文献1】

電子情報通信学会論文誌 2001/5 Vol.J84-C No.5 P.364 図15

【0007】

【発明が解決しようとする課題】

従来のバッファ回路では、低消費電力化をはかるために、定電流源 511～514の電流値 $I_{ss 1} \sim I_{ss 4}$ を小さくする必要がある。特に、携帯機器用等、電池を電源として用いる場合には、この低消費電力化が重要である。

【0008】

しかし、従来のバッファ回路で負荷コンデンサ C_o を駆動する場合に、図8（a）、（b）の入力電圧の時間特性図及び出力電圧の時間特性図に示されるように、入力電圧 $V_{in p}$ が電圧 V_1 と電圧 V_2 との間で矩形状に変化した場合に、出力電圧 V_{out} は電圧 V_1 から電圧 V_2 への立ち上がりにある時間 T_1 を要し、また、電圧 V_2 から電圧 V_1 への立ち下がりにある時間 T_2 を要する。この時間 T_1 、 T_2 は、負荷コンデンサ C_o の静電容量と定電流源 514の電流値 $I_{ss 4}$ との比による傾き α に依存する。

【0009】

負荷コンデンサ C_o の静電容量は、そのバッファが駆動する表示パネルによりその値が定まる。低消費電力化を図るために定電流源の電流値を小さくすると、バッファの駆動能力は制限されるから出力電圧の立ち上がり及び立ち下がりに時間を要し、高速に出力応答させることは困難である。また、定電流源の電流値を

大きくすると高速出力応答を図ることができるが、常時大きな電流を流すから、消費電力が増大してしまう。したがって、低消費電力化と、大容量駆動能力、高速出力応答とは、相反する関係にあり、その両方を改善することは困難であった。

【0010】

そこで、本発明は、静止状態での定電流源の電流値を小さくするとともに、状態変更時のみ負荷電流を供給あるいは吸収するように動作する回路を付加することにより、大容量駆動能力、高速出力応答を可能にするとともに、低消費電力化を実現できるバッファ回路を提供することを目的とする。また、このバッファ回路を多数備えているドライバICを提供することを目的とする。

【0011】

【課題を解決するための手段】

請求項1記載のバッファ回路は、

非反転入力端子に入力電圧が入力され、出力端子に出力される出力電圧を反転入力端子に帰還入力するように構成された演算増幅手段と、

前記入力電圧と前記出力電圧とが差動入力として入力され、その2入力に所定のオフセット電圧を超える差がある時に、前記演算増幅手段からの出力電流より大きな出力電流を前記出力端子に出力する出力加速手段とを、備えることを特徴とする。

【0012】

請求項2のバッファ回路は、請求項1記載のバッファ回路において、

前記出力加速手段は、前記所定のオフセット電圧を有する差動増幅部と、電源電位と前記出力端子との間に接続され、前記差動増幅部の出力に応じてオンあるいはオフされるスイッチ部とを有することを特徴とする。

【0013】

請求項3のバッファ回路は、請求項2記載のバッファ回路において、

前記差動増幅部は、前記入力電圧が前記出力電圧より第1オフセット電圧だけ高いときに第1出力を発生する第1差動増幅回路と、前記出力電圧が前記入力電圧より第2オフセット電圧だけ高いときに第2出力を発生する第2差動増幅回路

を有し、

前記スイッチ部は、第1電源電位と前記出力端子との間に接続され、前記第1出力に応じてオンあるいはオフされる第1スイッチ回路と、前記出力端子と第2電源電位との間に接続され、前記第2出力に応じてオンあるいはオフされる第2スイッチ回路を有することを特徴とする。

【0014】

請求項4のバッファ回路は、請求項2記載のバッファ回路において、

前記演算増幅手段は、第1電源電位から前記出力端子への電流が所定電流値に制限され、前記出力端子から第2電源電位への電流はスイッチ回路を介して流されるように形成されており、

前記出力加速手段は、前記所定のオフセット電圧を有する差動増幅部と、前記第1電源電位と前記出力端子との間に接続され、前記差動増幅部の出力に応じてオンあるいはオフされるスイッチ部とを有することを特徴とする。

【0015】

請求項5のドライバICは、請求項1～4に記載されるバッファ回路を複数個含んでいることを特徴とする。

【0016】

【発明の実施の形態】

以下、図面を参照して本発明のバッファ回路及び、そのバッファ回路を備えたドライバICの実施の形態について、説明する。

【0017】

図1は、本発明の第1の実施の形態に係るバッファ回路の構成を示す図であり、図2はその入力電圧の変化に対する出力電圧の応答特性を示す図である。また、図3は、図1のバッファ回路の具体的な回路構成の例を示す図である。

【0018】

図1において、演算増幅器（以下、オペアンプ）100は、第1電源電位 V_{dd} と第2電源電位（以下、グランド電位） V_{ss} 間の電圧により駆動される。そして、入力電圧 V_{inp} が非反転入力端子（+）に輸入され、出力端子の出力電圧 V_{out} が直接に反転入力端子（-）に帰還されている。即ち、ボルテージ・

フォロア接続されている。また、その出力電圧 V_{out} は負荷側に供給され、負荷を代表する負荷コンデンサ C_o を充電する。なお、入力電圧 V_{inp} 及び出力電圧 V_{out} は、グランド電位に対するものである。

【0019】

このオペアンプ 100 は、複数の定電流源を含んでおり、その出力電流は定電流源の電流値に制限されて、出力電圧 V_{out} を立ち上げる場合（即ち、負荷コンデンサ C_o を充電する場合）にも、出力電圧 V_{out} を立ち下げる場合（即ち、負荷コンデンサ C_o を放電する場合）にも、小さい出力電流が出力される。また、このオペアンプ 100 が、レール・ツー・レール型のものである場合には、その出力電流は、入力電圧 V_{inp} に応じて出力電圧 V_{out} が第 1 電源電位 V_{dd} あるいはグランド電位 V_{ss} になるまで供給される。

【0020】

出力加速回路（以下、エンハンサー）200 は、エンハンサー立ち上がり側入力段回路 210 とエンハンサー立ち下がり側入力段回路 220 とエンハンサー出力段回路 230 とから構成される。

【0021】

立ち上がり側入力段回路 210 は、所定のオフセット電圧 ΔV を有する差動増幅回路で構成され、その正（+）入力側に V_{inP} が入力され、負（-）入力側に出力電圧 V_{out} が入力され、 V_{inP} が出力電圧 V_{out} よりオフセット電圧 ΔV を越えて大きいときに第 1 差動出力を出力する。また、立ち下がり側入力段回路 220 は、所定のオフセット電圧 ΔV （立ち上がり側入力段回路 210 のオフセット電圧と同じでも良いし、異なった値でも良い）を有する差動増幅回路で構成され、その正（+）入力側に出力電圧 V_{out} が入力され、負（-）入力側に入力電圧 V_{inp} が入力され、出力電圧 V_{out} が入力電圧 V_{inp} よりオフセット電圧 ΔV を越えて大きいときに第 2 差動出力を出力する。

【0022】

エンハンサー出力段回路 230 は、第 1 差動出力に応じてオンあるいはオフされる第 1 スイッチ 231 と、第 2 差動出力に応じてオンあるいはオフされる第 2 スイッチ 232 とが、第 1 電源電位 V_{dd} とグランド電位 V_{ss} 間に直列に接続

されている。その直列接続点がオペアンプ100の出力端子に接続され、負荷にオペアンプ100からの出力電流より大きな出力電流を出力する。

【0023】

この図1のバッファ回路の動作を、入力電圧 $V_{in p}$ の変化に対する出力電圧 V_{out} の応答特性を示す図2をも参照して、説明する。

【0024】

図2の時点 t_1 以前においては、オペアンプ100のボルテージ・フォロア動作により入力電圧 $V_{in p}$ と出力電圧 V_{out} とはともに低い電圧 V_1 にある。この状態では、立ち上がり側入力段回路210、立ち下がり側入力段回路220は第1、第2差動出力を出力していないので、第1スイッチ231、第2スイッチ232ともオフしている。

【0025】

時点 t_1 で、入力電圧 $V_{in p}$ がより高い電圧 V_2 に変化すると、出力電圧 V_{out} も入力電圧 $V_{in p}$ に追随するように動作する。このとき、オペアンプ100の出力電流は定電流源の電流値に制限され小さい電流値でしか出力されない。一方、立ち上がり側入力段回路210の2入力の電圧差はオフセット電圧 ΔV を越える($V_{in p} - V_{out} > \Delta V$)ので、第1差動出力が出力され第1スイッチ231がオンする。これにより、負荷コンデンサ C_o は第1電源電位 V_{dd} から第1スイッチ231を通る電流により充電される。この第1電源電位 V_{dd} からの充電電流は、オペアンプ100からの出力電流に比べて大きいから、負荷コンデンサ C_o は立ち上がり側入力段回路210の2入力の電圧差がオフセット電圧 ΔV になるまで、図のように急速に充電される。

【0026】

立ち上がり側入力段回路210の2入力の電圧差がオフセット電圧 ΔV になると、第1差動出力が出力されなくなり、第1スイッチ231はオフする。この後、オペアンプ100のボルテージ・フォロア動作により、出力電圧 V_{out} が入力電圧 $V_{in p}$ に等しくなるまで、負荷コンデンサ C_o が充電される。

【0027】

入力電圧 $V_{in p}$ が時点 t_1 で電圧 V_1 から電圧 V_2 に変化してから、出力電

圧 V_{out} が追隨して電圧 V_2 になるまでの時間 T は、電圧 V_1 から電圧 V_2 よりオフセット電圧 ΔV だけ低い電圧 ($V_2 - \Delta V$) に達するまでの時間と、それから電圧 V_2 に達する時間との和になる。この時間 T は、オペアンプ 100 のみにより、負荷コンデンサ C_o を充電する場合に比べて、著しく短い時間で済む。

【0028】

また、時点 t_2 で、入力電圧 V_{inp} が高い電圧 V_2 から低い電圧 V_1 に変化すると、出力電圧 V_{out} も入力電圧 V_{inp} に追隨するように動作する。このとき、立ち下がり側入力段回路 220 の 2 入力間の電圧差はオフセット電圧 ΔV を越える ($V_{out} - V_{inp} > \Delta V$) ので、第 2 差動出力が出力され第 2 スイッチ 232 がオンする。これにより、負荷コンデンサ C_o の電荷はグランド電位 V_{ss} へ第 2 スイッチ 232 を通る電流により放電される。このグランド電位 V_{ss} への放電電流は、オペアンプ 100 への放電電流に比べて大きいから、負荷コンデンサ C_o は立ち下がり側入力段回路 220 の 2 入力間の電圧差がオフセット電圧 ΔV になるまで、図のように急速に放電される。

【0029】

立ち下がり側入力段回路 220 の 2 入力間の電圧差がオフセット電圧 ΔV になると、第 2 差動出力が出力されなくなり、第 2 スイッチ 232 はオフする。この後、オペアンプ 100 のボルテージ・フォロア動作により、出力電圧 V_{out} が入力電圧 V_{inp} に等しくなるまで、負荷コンデンサ C_o が充電される。

【0030】

入力電圧 V_{inp} が時点 t_2 で電圧 V_2 から電圧 V_1 に変化してから、出力電圧 V_{out} が追隨して電圧 V_1 になるまでの時間 T は、やはり、オペアンプ 100 のみにより、負荷コンデンサ C_o を放電する場合に比べて、著しく短い時間で済む。

【0031】

図 3 は、図 1 のバッファ回路の具体的な回路構成の例を示す図である。オペアンプ 100 は、レール・ツー・レール型のオペアンプであり、入力段回路 110 と出力段回路 140 とを有している。エンハンサー 200 は、図 1 で示したものをさらに具体的回路で表したものである。この図 3 において、オペアンプ 100

のMOSFET111~115、MOSFET121~125、MOSFET131、132、MOSFET141~142、及びエンハンサー200のMOSFET211~214、MOSFET211~224、MOSFET231、232は、そのゲートに○印が付されているものはPMOSであり、それ以外がNMOSである。これは他の実施の形態でも同じである。また、コンデンサ143、144は発振防止用のものであるが、これもMOSFETで構成される。

【0032】

図3において、オペアンプ100の入力段回路110において、FET111~115で構成される差動増幅回路は、入力電圧 $V_{in p}$ が最も低い電圧（グラウンド電位 V_{ss} ）から第1電源電位 V_{dd} よりFETのスレッシュホールド電圧を引いた電圧範囲まで動作する、低電圧側の差動増幅回路である。FET121~125で構成される差動増幅回路は、入力電圧 $V_{in p}$ が最も高い電圧（第1電源電位 V_{dd} ）からグラウンド電位 V_{ss} からFETのスレッシュホールド電圧だけ高い電圧範囲まで動作する、高電圧側の差動増幅回路である。 V_{b1} 、 V_{b2} はそれぞれ所定のバイアス電圧である。したがって、これらの差動増幅回路は、定電流で動作する。また、FET131、FET132は、各差動増幅回路の折り返し動作のFETである。

【0033】

オペアンプ100の出力段回路140において、PMOS141は高電圧側の差動増幅回路のPMOS124とカレントミラーを構成しており、NMOS142は低電圧側の差動増幅回路のNMOS114とカレントミラーを構成している。

【0034】

このレール・ツー・レール型オペアンプ100の各差動増幅回路の電流は静的消費電流を低減するために小さい電流値に抑えており、また、出力段のPMOS141、NMOS142は差動増幅回路のPMOS124、NMOS114とカレントミラーを構成しているから、やはり、その電流は小さい電流値に抑えられる。

【0035】

このオペアンプ100は、第1電源電位 V_{dd} からグランド電位 V_{ss} の全範囲で動作し、また、動作電流を低減しているから、低消費電力化が達成されている。しかし、その一方で出力段の電流も低減しているから、負荷駆動能力が減少し、スルーレートの低下が生じている。

【0036】

エンハンサー200が、オペアンプ100のスルーレート低下を補うために付加されており、その機能は、図1、図2で説明したとおりである。その具体的な構成として、立ち上がり側入力段回路210は、MOSFET211～214からなる差動増幅回路により構成されており、NMOS212のゲートに印加される入力電圧 V_{inp} がNMOS213のゲートに印加される出力電圧 V_{out} より所定のオフセット電圧 ΔV だけ大きい時に、NMOS212が動作するようにオフセット電圧 ΔV を持たせている。

【0037】

このオフセット電圧 ΔV は、例えば電源電圧が5vの時に0.1v～0.2v程度に設定することがよい。その設定の方法としては、差動トランジスタを構成するNMOS212とNMOS213とを、NMOS212を1個のトランジスタ素子とし、NMOS213を4個のトランジスタ素子の並列接続体とするなどそれらのトランジスタ素子数に差を持たせる。一般的には、そのオフセット電圧 ΔV を持たせるには、NMOS212とNMOS213とをミスマッチングさせれば良いから、トランジスタ素子数を異ならせるほか、トランジスタ素子の寸法を異ならせたり、一方側に抵抗を挿入するなどの方法を採用することができる。

【0038】

立ち下がり側入力段回路220は、MOSFET221～224からなる差動増幅回路により構成されており、PMOS222のゲートに印加される入力電圧 V_{inp} がPMOS223のゲートに印加される出力電圧 V_{out} より所定のオフセット電圧 ΔV だけ小さい時に、PMOS222が動作するようにオフセット電圧 ΔV を持たせている。

【0039】

出力段回路230は、第1スイッチであるPMOS231が立ち上がり側入力

段回路 210 からの第 1 差動出力によりオン動作され、また第 2 スイッチである NMOS 232 が立ち下がり側入力段回路 220 からの第 2 差動出力によりオン動作される。

【0040】

エンハンサー 200 の動作を、図 3 を参照して改めて説明すると、まず、入力電圧 $V_{in p}$ と出力電圧 V_{out} とが等しく、例えばグラウンド電位 V_{ss} にある状態では、NMOS 212、NMOS 213 とともにオフ状態にある。

【0041】

ここで、入力電圧 $V_{in p}$ がグラウンド電位 V_{ss} から第 1 電源電位 V_{dd} まで変化した場合を考えると、立ち上がり側入力段回路 210 では入力電圧 $V_{in p}$ が出力電圧 V_{out} に対してオフセット電圧 ΔV 以上高くなるから、NMOS 212 はオン状態となり PMOS 214 のドレイン電位は第 1 電源電位 V_{dd} から低下する。その結果、PMOS 231 がオンし、第 1 電源電位 V_{dd} から PMOS 231 を通った電流により負荷コンデンサ C_o は短時間で充電されることで出力電圧 V_{out} はパルス的に応答し急速に上昇する。

【0042】

出力電圧 V_{out} が入力電圧 $V_{in p}$ よりオフセット電圧 ΔV だけ低い電圧に達した時点で NMOS 212 はオフとなり、これに伴って、PMOS 231 もオフとなる。この時点で、入力電圧 $V_{in p}$ と出力電圧 V_{out} の電圧差はオフセット電圧 ΔV であり、この電圧差を出力段回路 140 の PMOS 141 を通る一定電流で負荷コンデンサ C_o を充電し、出力電圧 V_{out} は直線的な応答で入力電圧 $V_{in p}$ に達する。

【0043】

また、入力電圧 $V_{in p}$ が第 1 電源電位 V_{dd} からグラウンド電位 V_{ss} へ変化した場合も、立ち下がり側入力段回路 220 及び出力段回路 230 により同様の動作を行う。

【0044】

実験データによると、負荷コンデンサ C_o が $147 \mu F$ で、入力電圧 $V_{in p}$ を $0.1 v$ から $4.9 v$ まで変化させた場合に、出力電圧 V_{out} は $4 \mu s$ 以内

で応答した。この時の回路静止電流は $7\mu\text{A}$ であり、今後さらなる低消費化も可能である。この回路は、 $45\mu\text{m} \times 25\mu\text{m}$ のサイズであり、小型化が求められる TFT-LCD 用などのバッファ回路として有効である。

【0045】

以上のように、オペアンプ 100 の出力電流が、出力電圧 V_{out} の立ち上がり側と立ち下がり側の双方で小さい電流値に制限される場合に、入力電圧 V_{in} の変化に高速に応答して出力電圧 V_{out} を発生するとともに、全体としての消費電力を低減することができる。このバッファ回路を数百個程度設けてドライバ IC を構成することにより、低消費電力で、大容量駆動能力を持ち、高速応答できる、表示装置用ソースドライブ用などのドライバ IC を実現することができる。

【0046】

図 4 は、本発明の第 2 の実施の形態に係るバッファ回路の構成を示す図である。この図 4 の第 2 の実施の形態では、ボルテージ・フォロア接続されたオペアンプ 300 は、出力電圧 V_{out} の立ち上がり側に対しては制限された大きさの定電流の出力電流を出力し、出力電圧 V_{out} の立ち下がり側に対してはスイッチ回路により実質的に制限されない電流を流すように構成されている。エンハンサー 320 は、このオペアンプ 300 の構成に対応して、出力電圧 V_{out} の立ち上がり側に対してのみ、出力を加速するように構成されている。

【0047】

図 4 において、オペアンプ 300 は、MOSFET 301～305 からなる差動増幅回路と、MOSFET 311、312 からなる出力部とを備え、非反転入力端子に入力電圧 V_{in} が入力されるとともに、反転入力端子に出力電圧 V_{out} が帰還入力されている。PMOS 301 と PMOS 311 はそのゲートに一定バイアス電圧 V_{b3} が印加されて、定電流源として動作する。また、NMOS 305 と NMOS 304 とは、カレントミラー構成とされている。

【0048】

エンハンサー 320 は、NMOS 322、323、定電流源 321、324 からなるオフセット電圧 ΔV を有する差動増幅回路と、PMOS 331 からなるス

イッチ回路とを備えている。この差動増幅回路は、NMOS 322 のゲートに印加される入力電圧 $V_{in p}$ が NMOS 323 のゲートに印加される出力電圧 V_{out} より所定のオフセット電圧 ΔV だけ大きい時に、NMOS 322 が動作するようにオフセット電圧 ΔV を持たせている。

【0049】

この図4のバッファ回路において、静止状態での電流を低い値に設定することにより、入力電圧 $V_{in p}$ と出力電圧 V_{out} が等しい定常状態での、消費電力を低減している。入力電圧 $V_{in p}$ が定常状態からオフセット電圧 ΔV 以上の電圧分上昇した場合を想定すると、PMOS 311 から供給できる電流は小さい低電流であるので、これによる負荷コンデンサ C_o の急速な充電はできない。

【0050】

一方、エンハンサー 320 において、入力電圧 $V_{in p}$ が出力電圧 V_{out} よりオフセット電圧 ΔV 以上大きいと NMOS 322 がオン状態になりそのドレイン電位が低下し、PMOS 331 がオン状態になる。

【0051】

これにより、負荷コンデンサ C_o は PMOS 331 を通して流れる大きな電流により、急速に充電される。この急速充電は、出力電圧 V_{out} が入力電圧 $V_{in p}$ よりオフセット電圧 ΔV だけ低い電圧になった時点で終了する。その後は、PMOS 311 からの定電流により、出力電圧 V_{out} が入力電圧 $V_{in p}$ に等しくなるように、その駆動能力に応じて、負荷コンデンサ C_o を充電する。負荷コンデンサ C_o の充電が終了すると、定常状態になる。

【0052】

この定常状態から、入力電圧 $V_{in p}$ が低下した場合には、NMOS 312 がオン状態になり、負荷コンデンサ C_o の電荷を急速に放電して、出力電圧 V_{out} が入力電圧 $V_{in p}$ に等しくなるように動作する。したがって、エンハンサー 320 の加速がなくても、高速応答が行われる。

【0053】

図5は、本発明の第3の実施の形態に係るバッファ回路の構成を示す図である。この図5の第3の実施の形態では、ボルテージ・フォロア接続されたオペアン

プ400は、出力電圧 V_{out} の立ち下がり側に対しては制限された大きさの定電流の出力電流を出力し、出力電圧 V_{out} の立ち上がり側に対してはスイッチ回路により実質的に制限されない電流を流すように構成されている。エンハンサー420は、このオペアンプ400の構成に対応して、出力電圧 V_{out} の立ち下がり側に対してのみ、出力を加速するように構成されている。したがって、図5のバッファ回路は、図3のバッファ回路と対比すると、立ち上がり側と立ち下がり側とが互いに逆の関係になっている。

【0054】

図5において、オペアンプ400は、MOSFET401～405からなる差動増幅回路と、MOSFET411、412からなる出力部とを備え、非反転入力端子に入力電圧 V_{inp} が入力されるとともに、反転入力端子に出力電圧 V_{out} が帰還入力されている。NMOS401とNMOS411はそのゲートに一定バイアス電圧 V_{b4} が印加されて、定電流源として動作する。また、PMOS405とPMOS404とは、カレントミラー構成とされている。

【0055】

エンハンサー420は、PMOS422、423、定電流源421、424からなるオフセット電圧 ΔV を有する差動増幅回路と、NMOS431からなるスイッチ回路とを備えている。この差動増幅回路は、PMOS422のゲートに印加される入力電圧 V_{inp} がPMOS423のゲートに印加される出力電圧 V_{out} より所定のオフセット電圧 ΔV だけ小さい時に、PMOS422が動作するようにオフセット電圧 ΔV を持たせている。

【0056】

この図5のバッファ回路においても、図4のバッファ回路とは、立ち上がり側と立ち下がり側とが互いに逆の関係になっているだけで、同様に動作し、同じ効果を得ることができる。

【0057】

したがって、図4、図5の第2、第3の実施の形態では、やはり、入力電圧 V_{inp} の変化に高速に応答して出力電圧 V_{out} を発生するとともに、全体としての消費電力を低減することができる。また、オペアンプ300、400の出力

電流が、出力電圧の立ち上がり側あるいは立ち下がり側のどちらかが小さい電流値に制限される場合にも、その出力電流の制限される側の出力を加速することができる。

【0058】

【発明の効果】

ボルテージ・フォロア接続され、入力電圧をバッファして出力電圧を出力する演算増幅手段と、その入力電圧と出力電圧との間に所定のオフセット電圧以上の電圧差がある時に演算増幅手段からの電流より大きな電流を出力する出力加速手段とにより、負荷を共通に駆動する。これにより、入力電圧の変化があったときに、入力電圧と出力電圧との差が所定のオフセット電圧以下になるまでは主に出力加速回路から負荷に電流を供給し、その後は演算増幅手段から入出力電圧が等しくなるように負荷に電流を供給する。したがって、入力電圧の変化に高速に応答して出力電圧を発生するとともに、全体としての消費電力を低減することができる。

【0059】

また、演算増幅器の出力電流が、出力電圧の立ち上がり側と立ち下がり側の双方で小さい電流値に制限される場合、及び立ち上がり側あるいは立ち下がり側のどちらかのみが小さい電流値に制限される場合、のいずれの場合にも、その出力電流の制限される側の出力を加速することができる。

【0060】

さらに、本発明のバッファ回路を複数（例えば、数百個）設けてドライバICを構成することにより、低消費電力で、大容量駆動能力を持ち、高速応答できる、表示装置用ソースドライブ用などのドライバICを実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るバッファ回路の構成を示す図。

【図2】

図1の入力電圧の変化に対する出力電圧の応答特性を示す図。

【図3】

図1のバッファ回路の具体的な回路構成の例を示す図。

【図4】

本発明の第2の実施の形態に係るバッファ回路の構成を示す図。

【図5】

本発明の第3の実施の形態に係るバッファ回路の構成を示す図。

【図6】

従来のレール・ツー・レール型のオペアンプの構成を示す図。

【図7】

図6のオペアンプを用いてバッファ回路を構成した図。

【図8】

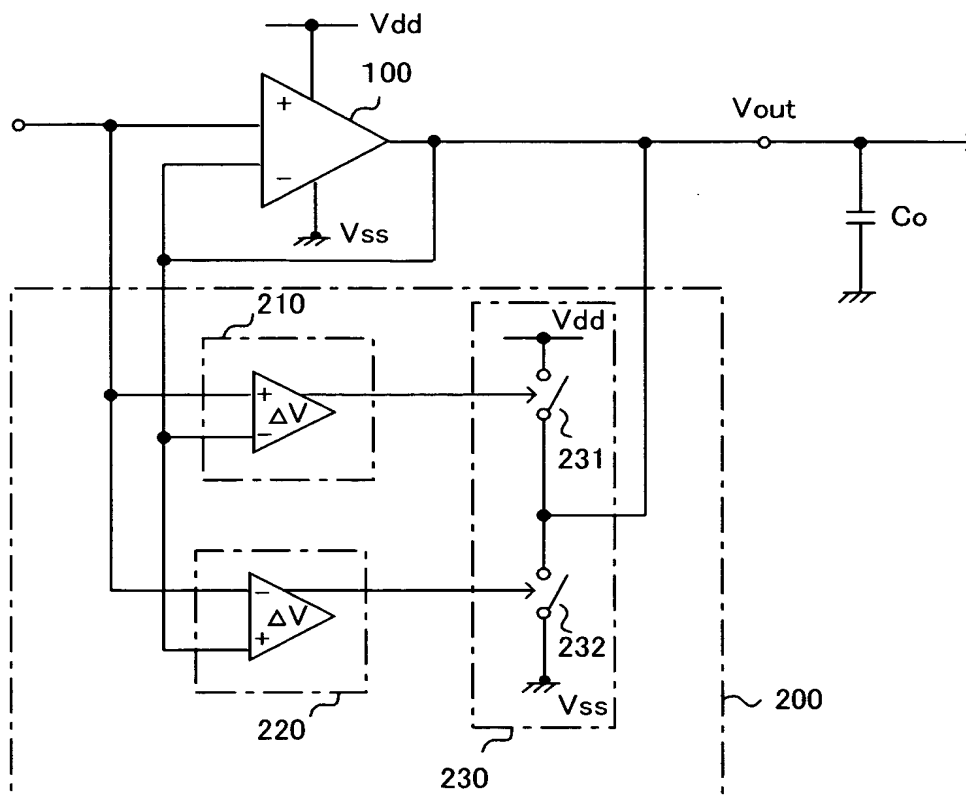
図7のバッファ回路における入力電圧・出力電圧の時間特性を示す図。

【符号の説明】

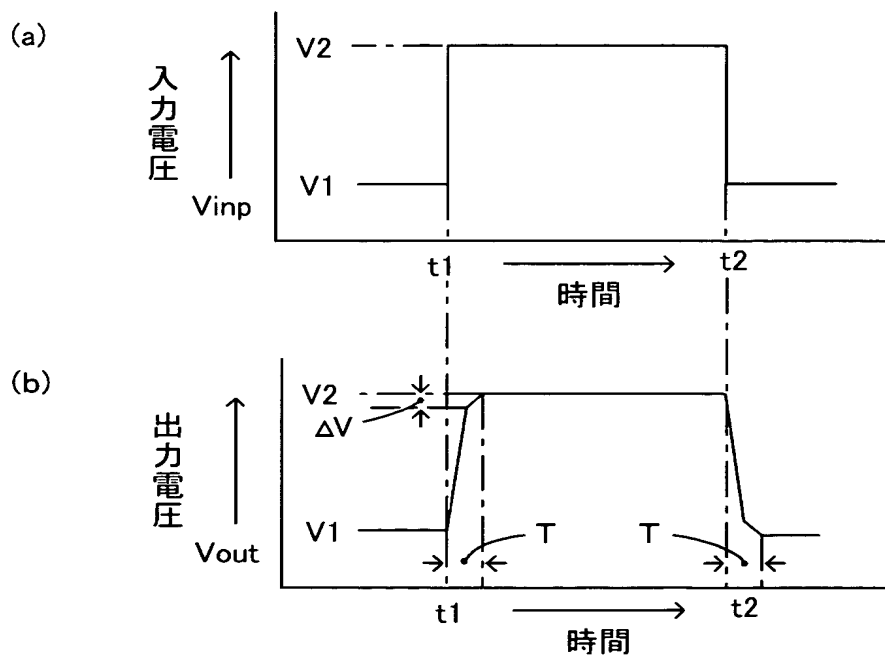
- 100 オペアンプ (演算増幅器)
- 110 入力段回路
- 140 出力段回路
- 200 エンハンサー (出力加速回路)
- 210 立ち上がり側入力段回路
- 220 立ち下がり側入力段回路
- 230 出力段回路
- 231 第1スイッチ
- 232 第2スイッチ
- V_{dd} 第1電源電位
- V_{ss} グランド電位 (第2電源電位)
- V_{inp} 入力電圧
- V_{out} 出力電圧
- C_o 負荷コンデンサ
- 300、400 オペアンプ
- 320、420 エンハンサー

【書類名】 図面

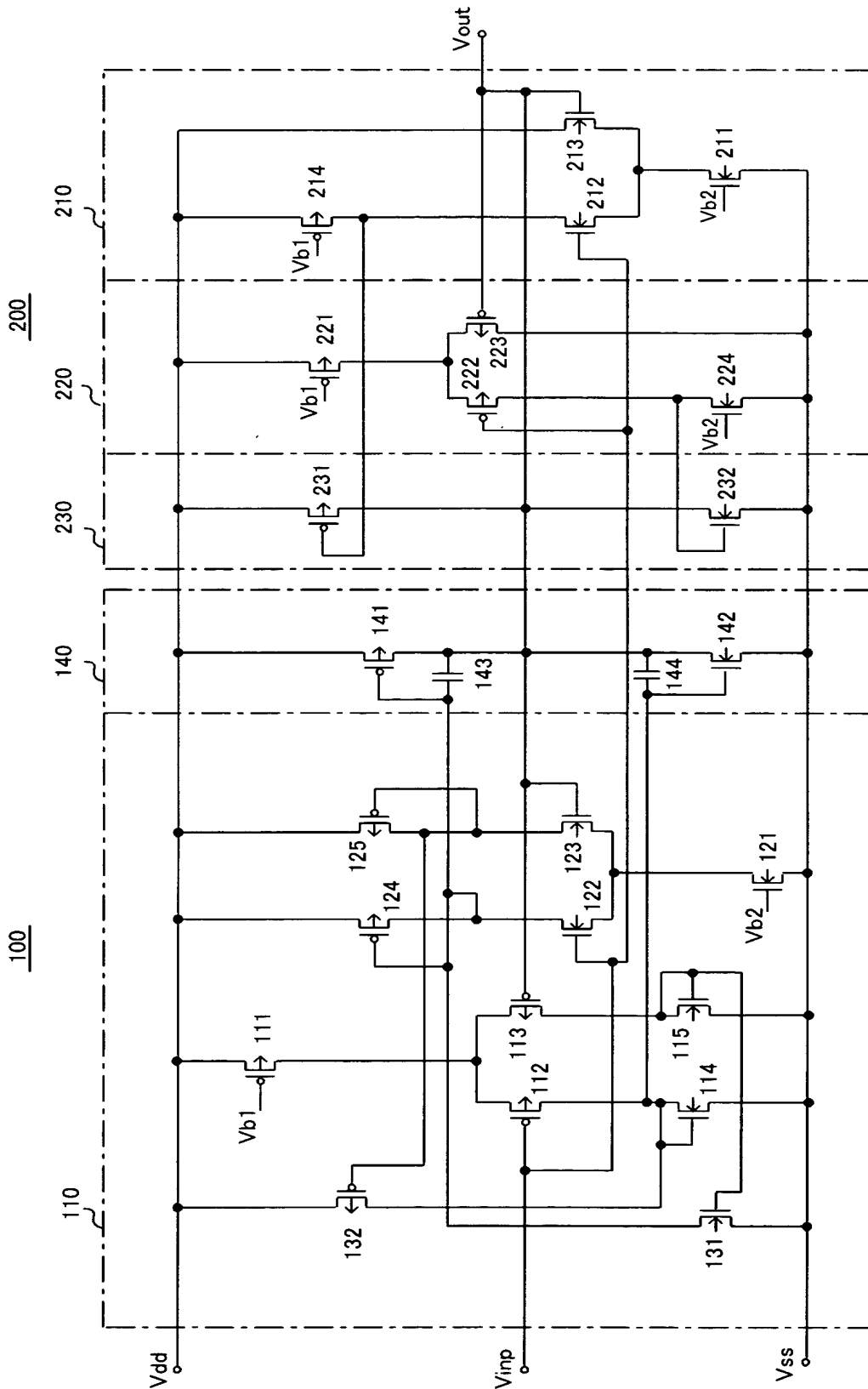
【図 1】



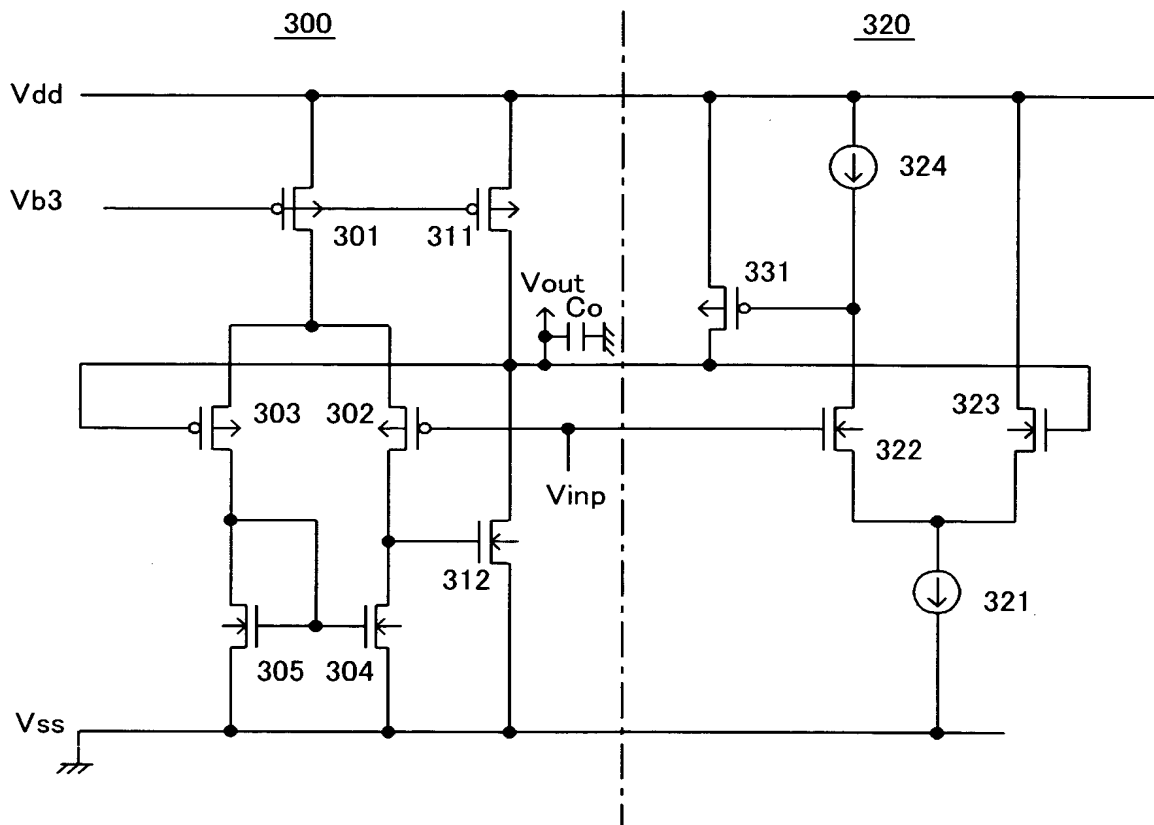
【図 2】



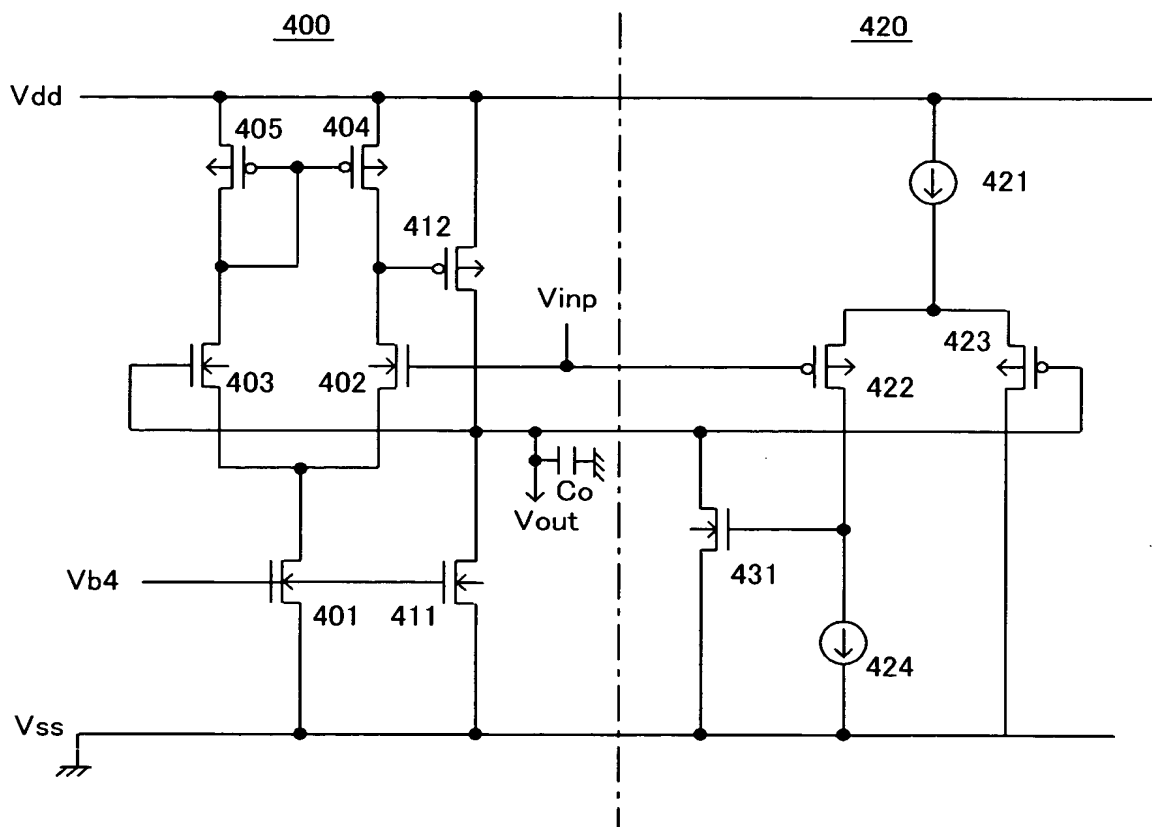
【図 3】



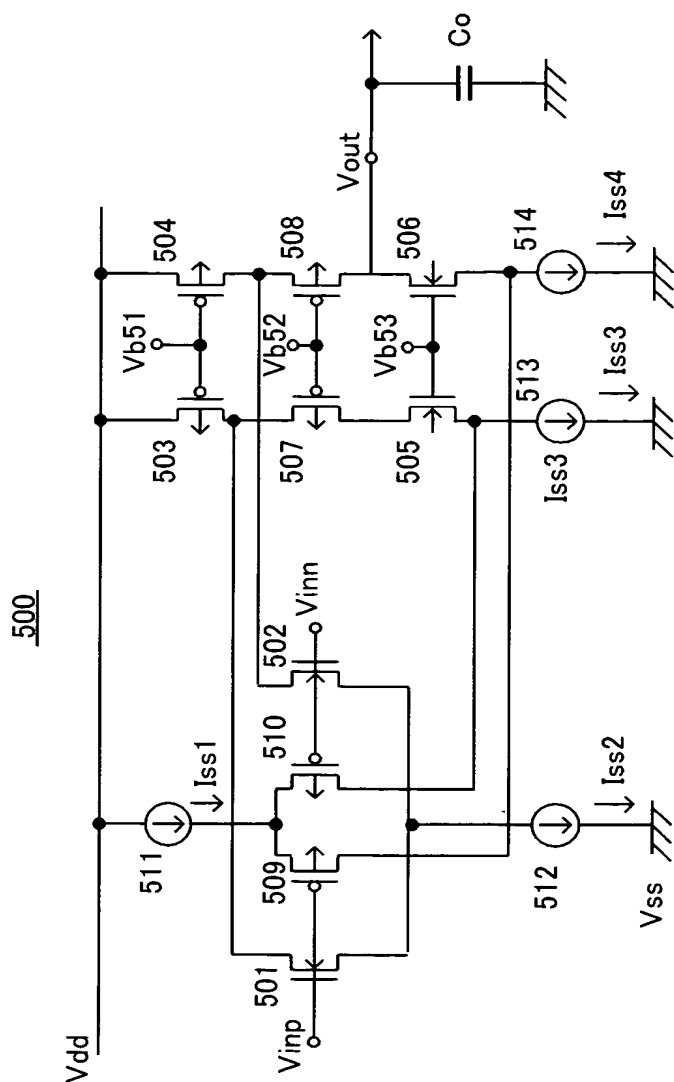
【図 4】



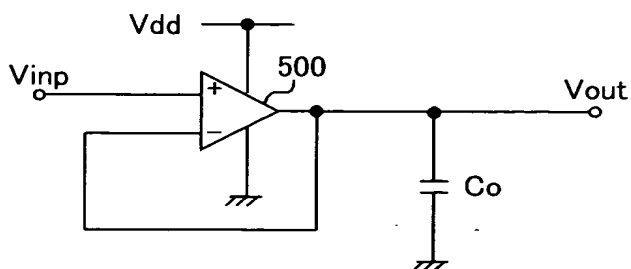
【図 5】



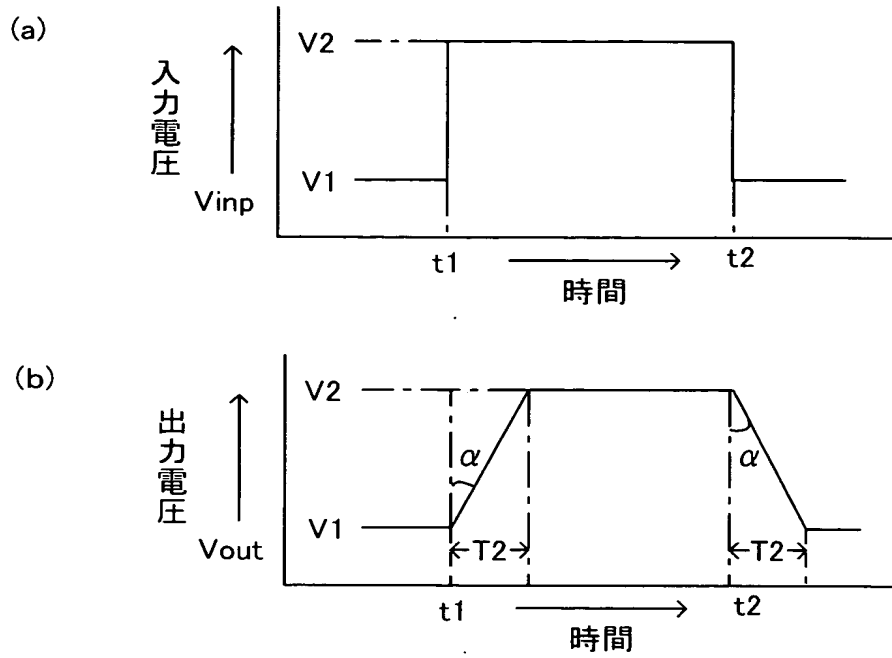
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 静止状態での定電流源の電流値を小さくするとともに、状態変更時のみ負荷電流を供給あるいは吸収するように動作する回路を付加することにより、大容量駆動能力、高速出力応答を可能にするとともに、低消費電力化を実現できるバッファ回路を提供すること。

【解決手段】 入力電圧をバッファして出力する演算増幅手段と、その入・出力電圧間に所定のオフセット電圧以上の電圧差がある時に演算増幅手段からの電流より大きな電流を出力する出力加速手段とにより、負荷を共通に駆動する。これにより、入力電圧の変化があったときに、入力電圧と出力電圧との差が所定のオフセット電圧以下になるまでは主に出力加速回路から負荷に電流を供給し、その後は演算増幅手段から入出力電圧が等しくなるように負荷に電流を供給する。

【選択図】 図1

特願 2 0 0 2 - 3 0 1 3 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社